Міністерство освіти і науки України

Львівський національний університет ім. Івана Франка

Факультет прикладної математики

та інформатики

**АРХІТЕКТУРА ОС ТА СХЕМОТЕХНІКА**

**Звіт**

до лабораторної роботи №4 на тему:

**ПОБУДОВА І ДОСЛІДЖЕННЯ ЕЛЕМЕНТІВ ПАМ’ЯТІ НА БАЗІ ТРИГЕРНИХ СХЕМ**

Виконав:

студент гр. ПМО-11

Кравець Н. А.

Прийняв:

Рикалюк Р.Є.

Львів – 2021

**Звіт по роботі**

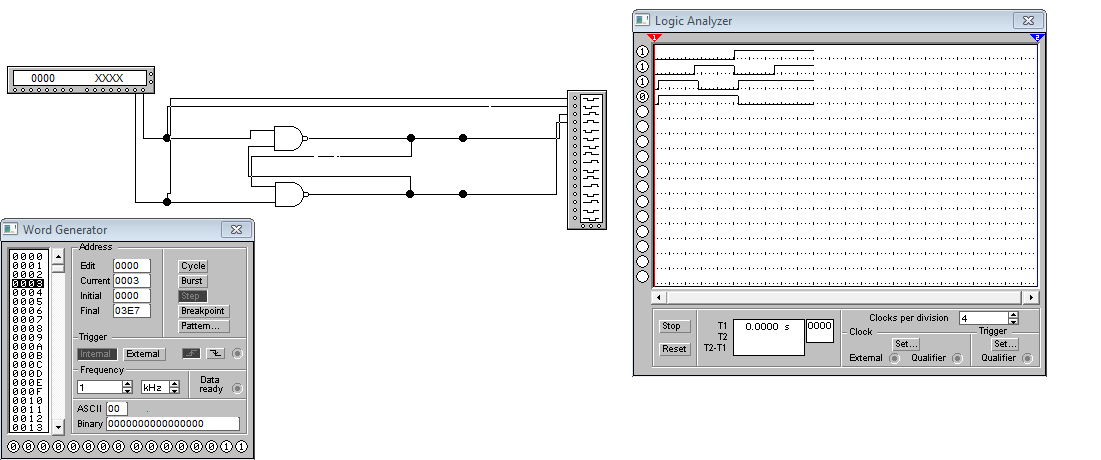
**Мета:** з використанням можливостей пакета EWB побудувати логічні схеми елементів пам’яті .

 Перевірити роботу схем, скласти таблиці істинності та

створити макроелементи кожної схеми.

**Хід роботи:**за допомогою логічних елементів AND, NOT, OR синтезували у робочому полі комбінаційні схеми тригерів: з роздільним встановленням(RS), із затримкою(D), універсальний(JK) та лічильний(T).

**RS-тригер:**



Для цього використано:

● 2-input NAND gate (2NOT gates (2 шт)

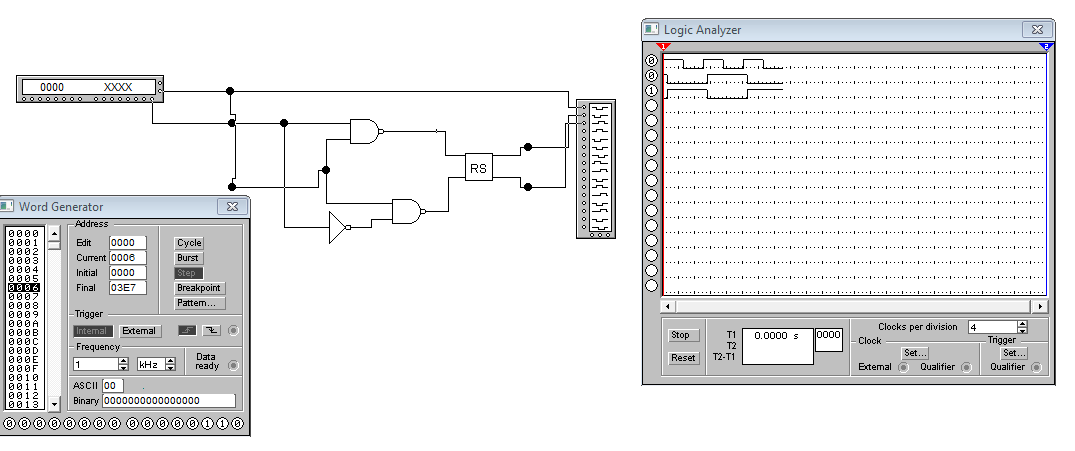
● Connector (6 шт)

● Word Generator (1 шт)

● Logic Analyzer (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати записано у таблицю істинності:

|  |  |  |  |
| --- | --- | --- | --- |
| R | S | Q | R |
|  | 0 | Не змінює стан | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Заборонений стан | 1 |

**D–тригер:**

Для цього використано:

● 2-input NOT gates (2 шт)

● NAND gate (1 шт)

● Connector (8 шт)

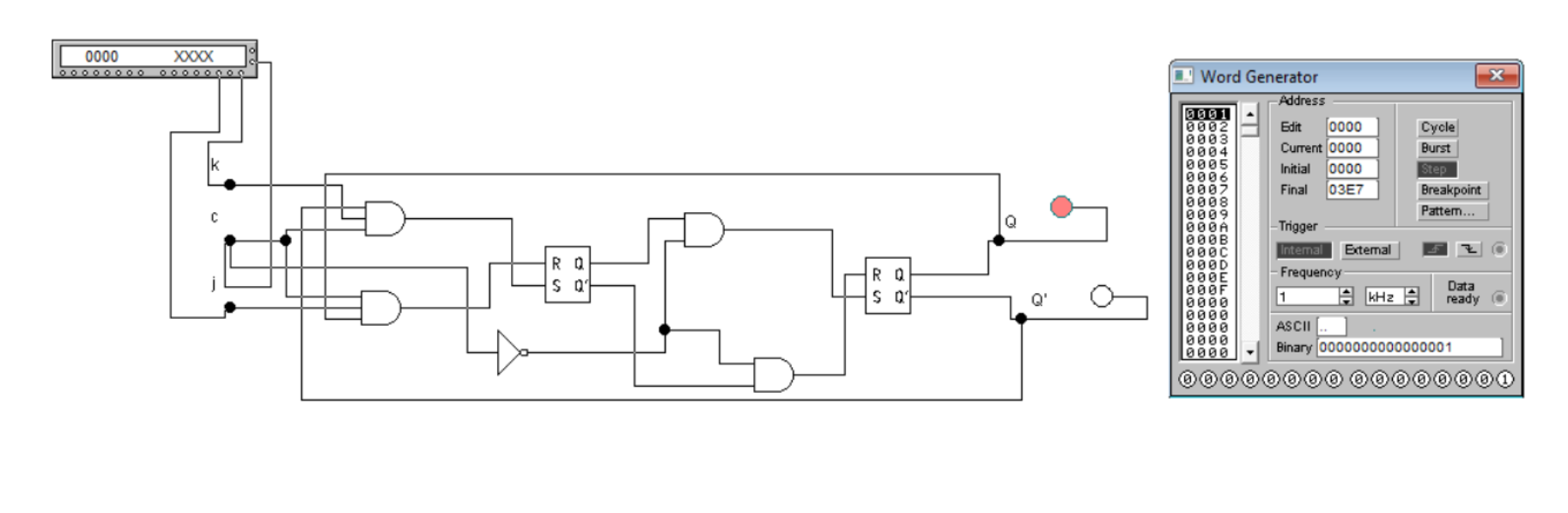
● Word Generator (1 шт)

● Logic Analyzer (1 шт)

● макроелемент RS-тригер (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати записано у таблицю істинності:

|  |  |  |
| --- | --- | --- |
| D | Q | Q` |
| 1 | 1 | 0 |
| 0 | 0 | 1 |

**JK-тригер:**

Для цього використано:

● 3-input AND gates (2 шт)

● 2-input AND gates (2 шт)

● NAND gate (1 шт)

● Connector (7 шт)

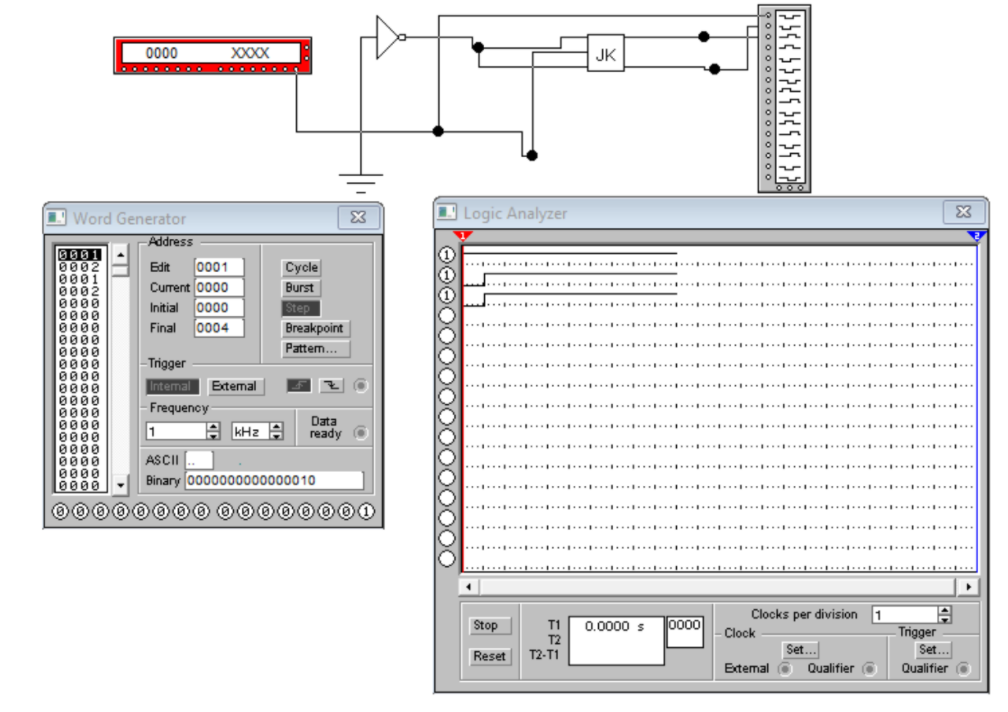
● Word Generator (1 шт)

● Indicator (2 шт)

● макроелемент RS-тригер (2 шт)

За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати записано у таблицю істинності:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J | C | K | Q | Q` |
| 0 | 0 | 0 | Без змін | Без змін |
| 0 | 0 | 1 | Без змін | Без змін |
| 0 | 1 | 0 | Без змін | Без змін |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | Без змін | Без змін |
| 1 | 0 | 1 | Без змін | Без змін |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | Зміна станів на протилежні | |

**Т-тригер:**

Для цього використано:

● NAND gate (1 шт)

● Ground (1 шт)

● Connector (5 шт)

● Word Generator (1 шт)

● Logic Analyzer (1 шт)

● макроелемент JK-тригер (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати записано у таблицю істинності:

|  |  |  |
| --- | --- | --- |
| T | Q(t) | Q` |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Висновок:** Під час виконання лаболаторної роботи №4 я ознайомився з можливостями EWB, а саме побудова схем елементів пам’яті. Також було створено таблиці істиності для перевірки правильності побудованих схем.